

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-227608

(43)Date of publication of application : 15.08.2000

(51)Int.Cl. G02F 1/136  
G02F 1/133  
G09G 3/36

(21)Application number : 11-028109

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.02.1999

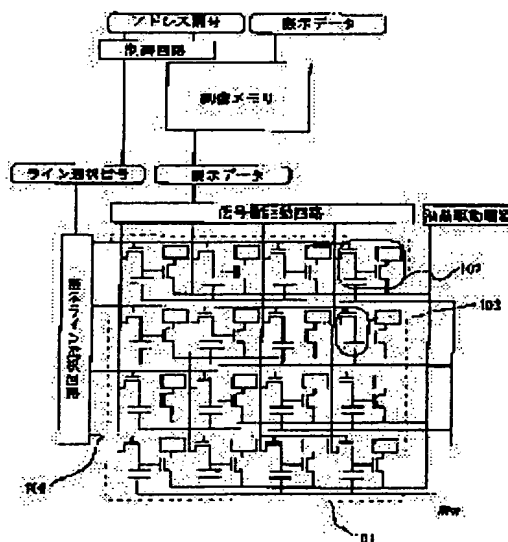
(72)Inventor : MIKAMI YOSHIAKI  
KAGEYAMA HIROSHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an excellent display quality device even when power consumption is reduced by preferentially and respectively inputting an address signal from the outside in a memory part, and a signal from a line counter in a display part to the memory part and the display part with a display line signal switch circuit.

**SOLUTION:** The display line signal switch circuit switches drive from the address signal from the outside with an input from the line counter competing with each other related to a display line signal instructing lines of an image memory and the display part. That is, in the memory part, the address signal from the outside is preferred, and in the display part, the signal from the line counter is preferred to be respectively inputted to the memory part and the display part. In this device, a voltage memory 103 holding the gradation data and a mechanism controlling liquid crystal drive for answering to the contents of the memory and converting a voltage of a liquid crystal drive source applied from the outside to a liquid crystal drive voltage are added to the display part 101 at every pixel part 102, and the display contents are changed by rewriting the gradation data.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-227608  
(P2000-227608A)

(43) 公開日 平成12年8月15日 (2000.8.15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 2 H 0 9 2
	1/133		5 5 0 2 H 0 9 3
G 0 9 G 3/36		G 0 9 G 3/36	5 C 0 0 6

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平11-28109

(22) 出願日 平成11年2月5日 (1999.2.5)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 景山 寛

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

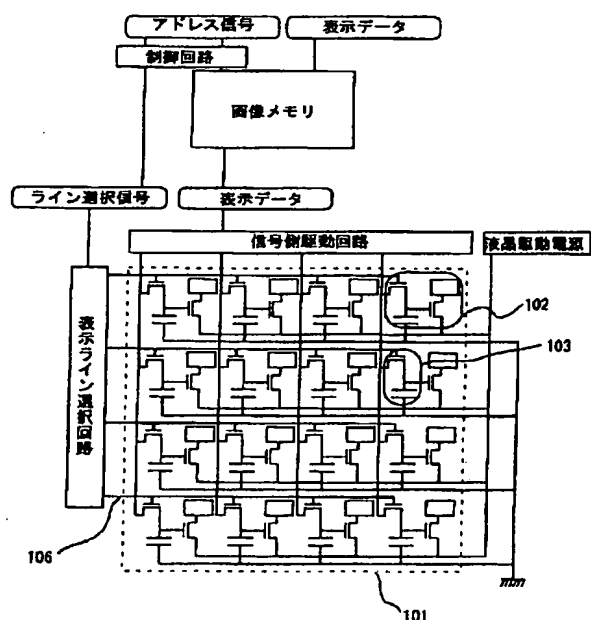
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示装置において消費電力を低減しても表示品質の良好な液晶表示装置を提供する。

【解決手段】 画素部にはT F Tによるダイナミック型のメモリ回路と、メモリの内容に対応して表示を制御する液晶駆動回路を設け、周辺には、表示内容を記憶する画像メモリを組み合わせ、画素の表示内容を変化させる毎に画素が含まれる1ラインの表示データを更新し、また、ラインカウンタにより周期的に全ラインの表示内容を書き換えるよう制御する駆動回路により液晶表示装置を駆動する。

図 1



## 【特許請求の範囲】

【請求項 1】少なくとも一方が透明な一対の基板と、前記一対の基板間に挟持された液晶層とを有する液晶表示装置において、前記一対の基板の一方の基板に複数の走査電極と、前記複数の走査電極にマトリクス状に交差する複数の信号電極とを有し、

前記一方の基板の前記複数の走査電極と前記複数の信号電極とにより囲まれたそれぞれの画素領域に、対応する走査電極と信号電極とに接続され、走査信号に応動して信号電極からの表示データを取り込み保持する表示データ保持回路と、前記表示データ保持回路に接続され、この回路によってスイッチングが制御されるスイッチング素子と、前記スイッチング素子と並列にコンデンサと、前記スイッチング素子と接続された表示電極とを有し、前記画素領域の表示内容を画素ごとに割り当てられた格納領域に保持し、画素ごとに書き込み可能であり、任意の列について、画素の列方向 1 列のデータを単位としてラインバッファに取り出すよう構成された画像メモリを有し、

ラインバッファの出力と前記信号電極とが接続されており、前記画像メモリへの書き込む画素の座標を示す画素アドレスを、画素を含む表示部のライン座標に変換する機能を有するアドレスライン変換回路と、前記アドレスライン変換回路出力により指示された前記走査電極を選択駆動する表示ライン選択回路を有し、

任意の画素の表示データを画像メモリに書き込んだ後、書き込んだ画素が含まれる 1 ライン分の表示データを表示部に転送し、前記表示ラインの前記アドレスライン変換回路により指示されたラインを選択し 1 ライン分の表示を書き換えるよう制御してなることを特徴とする液晶表示装置。

【請求項 2】前記請求項 1 において信号電極として正および負極性で互いに極性が反転した信号を伝達するための 2 本の配線からなり、前記画素領域において、対応する走査電極と 2 本の信号電極とに接続され、走査信号に応動して正負の信号電極からの表示データを取り込み保持する 2 組の表示データ保持回路と、前記表示データ保持回路に接続され、この回路によってスイッチングが制御されるスイッチング素子と、前記スイッチング素子と並列にコンデンサを有し、前記スイッチング素子と接続された表示電極とを有することを特徴とする液晶表示装置。

【請求項 3】請求項 2 において前記スイッチング素子として pch 及び nch の TFT を組み合わせたアナログスイッチを用いることを特徴とする液晶表示装置。

【請求項 4】少なくとも一方が透明な一対の基板と、前記一対の基板間に挟持された液晶層とを有する液晶表示装置において、前記一対の基板の一方の基板に複数の走査電極と、前記複数の走査電極にマトリクス状に交差する

る複数の信号電極とを有し、

前記一方の基板の前記複数の走査電極と前記複数の信号電極とにより囲まれたそれぞれの画素領域に、対応する走査電極と信号電極とに接続され、走査信号に応動して信号電極からの表示データを取り込み保持する表示データ保持回路と、前記表示データ保持回路に接続され、この回路によってスイッチングが制御されるスイッチング素子と、前記スイッチング素子と並列にコンデンサと、前記スイッチング素子と接続された表示電極とを有し、

10 前記画素領域の表示内容を画素ごとに割り当てられた格納領域に保持し、画素ごとに書き込み可能であり、任意の列について、画素の列方向 1 列のデータを単位としてラインバッファに取り出すよう構成された画像メモリを有し、

ラインバッファの出力と前記信号電極とが接続されており、

前記画像メモリへの書き込む画素の座標を示す画素アドレスを、画素を含む表示部のライン座標に変換する機能を有するアドレスライン変換回路と、前記アドレスライン変換回路出力により指示された前記走査電極を選択駆動する表示ライン選択回路を有し、

表示ラインを順次選択するライン選択信号を発生するラインカウンタを有し、

ラインカウンタの選択信号と、アドレスライン選択回路の出力との一方を選択して表示ライン選択回路に接続する表示ライン切り換え回路と、

前記ラインカウンタの選択出力とメモリ制御回路からのライン選択信号との一方を選択してメモリライン選択回路に接続する表示ライン切り換え回路とを有し、

30 任意の画素の表示データを書き換える信号が入力された場合には画像メモリに書き込んだ後、書き込んだ画素が含まれる 1 ライン分の表示データを表示部に転送し、前記表示ラインの前記アドレスライン変換回路により指示されたラインを選択し 1 ライン分の表示を書き換えるよう制御し、

任意の画素の表示データを書き換える信号が入力されない場合には前記ラインカウンタの選択出力により指定された 1 ライン分の表示データを表示部に転送し、表示部において 1 ライン分の表示を書き換えるよう制御してなることを特徴とする液晶表示装置。

【請求項 5】請求項 4 記載の液晶表示装置において、前記アドレスライン変換回路と表示ライン切り換え回路との間に複数の指定されたライン番号を順次保持、蓄積し、順次蓄積順に出力する先入れ先出しバッファメモリを接続し、

前記バッファ内にライン番号が指令されている期間は前記ラインカウンタの動作を停止するよう制御することを特徴とする液晶表示装置。

50 【請求項 6】少なくとも一方が透明な一対の基板と、前記一対の基板間に挟持された液晶層とを有する液晶表示

装置において、前記一对の基板の一方の基板に複数の走査電極と、前記複数の走査電極にマトリクス状に交差する複数の信号電極とを有し、

前記一方の基板の前記複数の走査電極と前記複数の信号電極とにより囲まれたそれぞれの画素領域に、対応する走査電極と信号電極とに接続され、走査信号に応動して信号電極からの表示データを取り込み保持する表示データ保持回路と、前記表示データ保持回路に接続され、この回路によってスイッチングが制御されるスイッチング素子と、前記スイッチング素子と並列にコンデンサと、

前記スイッチング素子と接続された表示電極とを有し、前記画素領域の表示内容を画素ごとに割り当てられた格納領域に保持し、画素ごとに書き込み可能であり、任意の列について、画素の列方向1列のデータを単位としてラインバッファに取り出すよう構成された画像メモリを有し、

前記ラインバッファの出力と前記信号電極とが複数の中継配線を介して接続されており、時間分割法により前記ラインバッファ上の表示データを前記信号電極に転送制御する回路を具備し、

前記画像メモリへの書き込む画素の座標を示す画素アドレスを、画素を含む表示部のライン座標に変換する機能を有するアドレスライン変換回路と、前記アドレスライン変換回路出力により指示された前記走査電極を選択駆動する表示ライン選択回路を有し、

任意の画素の表示データを画像メモリに書き込んだ後、書き込んだ画素が含まれる1ライン分の表示データを表示部に転送し、前記表示ラインの前記アドレスライン変換回路により指示されたラインを選択し1ライン分の表示を書き換えるよう制御してなることを特徴とする液晶表示装置。

【請求項7】請求項6に記載の液晶表示装置において、ラインバッファの出力と前記信号電極とが複数の中継配線を介して接続されており、ラインバッファと前記中継配線および前記中継配線と前記信号配線との間にスイッチ素子を接続し、双方を同期して選択接続するよう制御する転送制御回路を具備してなることを特徴とする液晶表示装置。

【請求項8】請求項7の液晶表示装置において前記画素と、表示ライン選択回路と、前記中継配線と前記信号配線との間選択接続する転送制御回路を前記基板上に形成したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に駆動部を表示部と同一基板上に形成した周辺回路内蔵液晶表示装置に関する。

【0002】

【従来の技術】小型、高精細の液晶表示パネルの駆動方式として、薄膜トランジスタを用いてガラス基板上にマ

トリクス周辺回路を形成する方法が従来用いられている。例えば、1998エスアイディーインターナショナルシンポジウムダイジェストオブテクニカルペーパーズの879頁から881頁に報告されている。また、アクティブマトリクス駆動方式ならびに液晶表示モジュールの詳細については松本正一編著の液晶ディスプレイ技術（産業図書）に詳しく述べられている。以下に、本発明との差違を明らかにするために図2に示す従来の表示装置構成および、図1に示す本発明による液晶表示装置の概略構成について説明する。

【0003】図2の構成においては、表示部201に1個のTFTと液晶容量からなるコンデンサを有する画素202を配置し、これを駆動するため、ゲート配線203に走査パルスを印加するためのゲート線駆動回路とシフトレジスタ回路からなるゲート側駆動回路205、信号配線204に液晶を駆動するための階調電圧を印加するため、信号側駆動回路206としてシフトレジスタ回路、デジタルサンプリング回路、D-A変換回路から構成される。パネル駆動に必要な信号は走査側駆動回路を駆動するため、シフトレジスタを駆動する垂直クロック信号と、走査パルスをスタートさせるフレームスタート信号がある。信号側駆動回路を駆動するために必要な信号としてシフトレジスタを駆動するドットクロック、表示データ、表示データを取り込むための水平スタート信号がある。これらの信号によりフレーム時間ごとにすべての画素の表示データを入力し、信号側駆動回路では液晶駆動に必要な交流電圧に変換して繰り返し画素にかきこみ、画素の液晶を駆動していた。

【0004】TFTアクティブマトリクス液晶ディスプレイを駆動する際に線順次走査方式が採用されており、各走査電極には、1フレーム時間ごとに1回走査パルスが印加される。1フレーム時間としては1/60秒程度がよく用いられ、このパルスは通常パネルの上側から下に向かって順次タイミングをずらしながら印加する。従って、画素構成として、640×480ドットのカラーパネルでは、1画素がドットから構成されるため、総ドット数は1920×480ドットとなり、1フレーム内に480本のゲート配線を走査するので、走査パルスの時間幅は約37μsである。

【0005】一方、信号電極には走査パルスが印加される1行分の画素の液晶に印加する液晶駆動電圧を走査パルスに同期して一斉に印加する。ゲートパルスを印加された選択画素では走査電極に接続されたTFTのゲート電極圧が高くなり、TFTがオン状態になる。このとき、液晶駆動電圧は、TFTのソース、ドレイン間を経由して表示電極に印加され、表示電極と、対向基板上に形成した対向電極との間に形成される液晶容量と、画素に配置した負荷容量とを合わせた、画素容量を充電する。この動作を繰り返すことにより、パネル全面の画素容量には、フレーム時間ごとに繰り返し液晶印加電圧が

10

20

30

40

50

印加される。

【0006】また、液晶を駆動するためには交流電圧が必要であるため、フレーム時間ごとに極性を反転した電圧を信号電極に印加する。従って、通常60ヘルツのフレーム周波数に対し、液晶駆動周波数はこの1/2の周波数である30ヘルツとなり、フリッカーと呼ばれるちらつきが見え、表示を見づらくさせている。フリッカーを見えないようにするため、上下、左右に隣合う画素毎に液晶駆動電圧の極性を交互に反転させることで、フリッカーが目立たない駆動方式を用い良好な表示を得てきた。

【0007】その結果、パネルを駆動するための電力の多くが、走査、信号配線の交差部容量、また、配線と、対向基板上全面に形成した対向電極との間の液晶の容量をゲートの選択時間ごとに充放電を繰り返すために消費される。

【0008】また、携帯情報機器への応用の観点から大幅な消費電力低減が求められており、反射型液晶を用いた表示装置がある。たとえば、ソサエティーフォーインフォメーションディスプレイインターナショナルシンポジウムダイジェストオブテクニカルペーパー18号(1997年)1015~1018頁にはゲストホスト型の液晶を用いた反射型液晶表示装置が記載されており、このため表示装置に必須であったバックライトを不要とした点が報告されている。しかしながら、本パネルの駆動は上記に示した従来技術による駆動方式であり、バックライトを省いた表示部を駆動する電力は従来と変わりはない。

【0009】図1に示す本発明の表示装置では表示部101には、画素部102毎に階調データを保持する電圧メモリ103と、メモリの内容に対応して外部から印加する液晶駆動電源の電圧を液晶駆動電圧に変換するための液晶駆動を制御する機構が付加されており、階調データを書き換えることにより表示内容を変更することができる。また、画像メモリを表示装置内に設けているので、信号側駆動回路および表示ライン駆動回路の動作を停止し、長時間表示を固定しても、表示は失われる事がない。液晶駆動電源が稼動していれば表示を維持することができ、静止画像を表示する場合の消費電力を大幅に低減することができる特徴を有する。また表示に必要な装置への入力信号はラインバッファのついた画像メモリが表示装置に内蔵されており、表示内容を変更する部分の画素アドレス信号と、表示データを入力すればよい。コンピュータなどの情報機器内部のディスプレイ制御信号は同じくビットマップ形式の描画アドレスとデータの組み合わせであるので、整合性がよく、本発明の表示装置との接続が容易である。

【0010】

【発明が解決しようとする課題】上記従来技術においては、表示部をフリッカーなく良好に駆動するためにフレ

ーム時間毎に全画素の内容を書き換えねばならず、消費電力低減が困難であった。この従来技術での表示部の消費電力は表示部の配線の容量の充放電により発生しており、フレーム周波数に比例する。消費電力を低減するためにフレーム周波数を下げると表示にフリッカーが発生し、表示品質が大幅に低下する。

【0011】なお、本発明のように画素内部にメモリおよびスイッチを持たせたパネル構造の公知例としては特開平9-258168号公報が有るが、表示部の周辺駆動回路の具体的な構成については述べられていない。

【0012】

【課題を解決するための手段】上記課題は、画素ごとに表示内容を保持するための画素部メモリとメモリの内容に応じて液晶駆動電圧を制御する表示制御回路を有し、表示部を駆動するために、画素を列単位で選択する表示ライン選択回路と、表示ラインを駆動するラインカウンタ回路および表示書き換えライン信号を貯える表示書き換えライン信号バッファと、表示部に表示データを転送するためのラインバッファ、P-S変換回路、S-P変換回路、表示データを保持する画像メモリ、メモリを駆動するためのメモリライン選択回路、コラム選択回路、メモリへの書き込みを制御するためのメモリ制御回路、を組み合わせることにより解決される。とくに、画像メモリ、および表示部のラインを指示する表示ライン信号については、互いに競合する外部からのアドレス信号からの駆動と、ラインカウンタからの入力とを切り換える表示ライン信号切り換え回路によりメモリ部では外部からのアドレス信号、表示部ではラインカウンタからの信号を優先して各々メモリおよび表示部に入力することにより消費電力を低減してかつ良好な表示を得ることにより上記課題は解決される。

【0013】外部より入力された表示を変更する画素のアドレス信号および表示データは画像メモリ内部の特定のアドレスに格納されるとともに書き換えラインバッファに貯えられ、表示部の表示ライン選択回路に入力される。また、画像メモリは書き換えが終了するとメモリライン選択回路により書き換えた画素を含む1ライン分のデータをラインバッファに転送する。転送したデータは表示部の選択されたライン内部の画素メモリに取り込まれ、液晶駆動電源により液晶を駆動し、表示動作が行われる。また一定時間毎にラインカウンタから順次ラインを選択する信号を発生し、画像メモリおよび表示部が同期して全ラインの書き換えを行うことにより画素メモリの内容が再生、更新され、表示を維持することができる。このとき、外部入力による表示の変更動作がラインカウンタによりメモリの再生が行われた場合には、ラインカウンタは動作を停止し、表示変更動作が優先されて実行されるので表示が乱れることなく書き換えが行われる。

【0014】

【発明の実施の形態】以後実施例を用いて詳細に説明する。

【0015】図3は第1の実施例である液晶表示装置のブロック構成である。画像メモリはメモリ内部のメモリセルがマトリクス上に配列されており、表示部の画素と同一のアドレス空間を有するビットマップ構成を有している。画像メモリは表示部の1ラインごとにデータを同時に読み出すようライン線が相互に接続されている。アドレス信号により指示されたビットマップアドレスはメモリ制御回路によりマトリクス内部の任意のメモリセルを選択するための図示していないコラム線、およびライン線を選択するメモリラインの選択信号301に変換され、所定のメモリセルに表示データが書き込まれる。こうして書き込まれた後、選択メモリライン選択回路に入力された任意のラインを選択するメモリライン選択信号と読み出すための所定の信号を印加することにより、選択する画素を含む1ライン分のデータが1ライン分のラインバッファに出力される。ラインバッファは表示部の信号配線に接続されている。また、アドレス信号は論理回路から構成されるアドレスライン変換回路に入力され、画素のビットマップアドレスを含む表示部の任意のラインを選択するための表示ライン選択信号302を生成する。

【0016】表示部では表示ライン選択信号により任意のラインが選択され、図示していないライン選択配線に選択電圧を印加する。選択されたライン上の画素では図示していない信号配線上の信号で電圧を画素内部のサンプリング回路に保持することにより、表示内容を変更する。図4に画素部の回路構成を示す。ライン選択配線401、データ配線402の交差部にはサンプリングTFT405のゲートおよびドレイン端子が接続され、ソース端子にはサンプリングコンデンサ406が接続されている。サンプリングコンデンサの他端子は共通配線404に接続されており、外部から基準電位に接続される。またサンプリングコンデンサのソース端子には表示制御TFT407のゲート端子が接続され、ソース、ドレインは各々表示電極408、液晶基準配線403に接続されている。また、ソースドレイン端子間には補償コンデンサ409が接続されている。表示電極は図示されていない液晶容量を介して対向基板上の共通電極と容量結合により電氣的に接続されており、液晶駆動電源に接続される。画素回路においては、サンプリングTFTはライン選択配線に電圧を印加し、選択状態にすると、サンプリングコンデンサがオン状態になり、信号配線の電圧はサンプリングコンデンサに充電される。サンプリングコンデンサの電圧により液晶駆動TFTは導通、非導通状態が変化し、ソースドレイン間の抵抗が変化するので、同通状態では補償コンデンサを短絡する。液晶駆動電源から供給される液晶駆動電圧は、補償コンデンサと、液晶容量との比により分圧されるので液晶駆動TFTがオン状態では液

晶駆動電圧はすべて液晶に印加され、ノーマリーオープンモードでは黒が表示される。液晶駆動TFTがオフ状態になると液晶駆動電圧のほとんどが補償コンデンサに印加されるので液晶に印加される電圧が低下し、表示は白になる。このようにして表示される。補償コンデンサの容量と液晶印加電圧は次式の関係にある。

【0017】

$$VLC = VDRV \times CCPS \div (CCPS + CLC)$$

この時VLC：液晶印加電圧、VDRV：液晶駆動電圧、CCPS：補償コンデンサ、CLC：液晶容量

液晶が白表示を得るための条件は、液晶印加電圧が液晶の閾値電圧以下であるので、 $VLC < V_{th}$   $V_{th}$ ：液晶の閾値電圧、であるから

$$CCPS < V_{th} \times CLC \div (VDRV - V_{th})$$

補償コンデンサは図4の画素構成のライン選択配線401、データ配線402の配線層間容量により形成することができる。また、TFTのゲート層、活性層間の容量を用いて構成すれば補償コンデンサはより小型に形成できる。

【0018】図5は画素構造の異なる実施例である。液晶を駆動するTFTとしてアナログスイッチ504を用いて駆動するため、液晶駆動電圧の極性によらず低いインピーダンスで駆動できる特徴がある。pchTFT及びnchTFTからなるアナログスイッチを駆動するため、サンプリングコンデンサ503、507およびサンプリングTFT502、506からなるメモリ回路を各々2系統設け、極性の異なるデータを2本のデータ配線501、505をもちいて供給し、共通のライン選択配線401に接続し、同時にサンプリングすることにより表示動作する。またアナログスイッチを駆動するための極性の異なるデータを、メモリ回路を2系統設けるのではなく、画素内部に設けたインバータ回路により生成してもよい。また、メモリ回路として半導体に用いられるメモリ回路をTFTを用いて構成しても表示可能であることは明らかである。この場合は電源が通電されている期間はデータが消滅することがなく、長時間表示を維持することができる。

【0019】図6は本実施例の液晶表示装置の外観図である。TFT回路基板601上には表示部603、データ配線402、ライン選択配線401、表示ライン選択回路604、ラインバッファ605、画像メモリ回路606、画像メモリ及びアドレスライン変換回路などを含む制御回路607がTFTを用いて形成されている。これらのTFTはCMOSTFTが形成可能なポリシリコンTFTプロセスにより形成できる。また、これらの回路のすべてもしくは一部分をウェハ上にLSIプロセス炉を用いて形成することも可能であり、その場合はデータ配線およびライン選択配線との接続のため、日立化成のアニソルムなどの異方性導電フィルムを介して相互接続することにより構成できる。表示部には対向基板602を張

り合わせてあり、基板の隙間には液晶が充填され構成されている。図には示していないが、液晶としてTN型を用い、透過型の表示装置であれば、TF T基板と対向基板の外側には偏光フィルムが貼り付けられており、これらの外にはバックライトが配置されている。反射型表示モードの場合にはバックライトは不要であり、画素の表示電極としてA1などの金属箔膜を形成して用いる。

【0020】次に図7を用いて上記表示装置の動作を説明する。入力信号として表示を書き換える画素の表示アドレスと表示データを入力する。画像メモリでは該当する番地のメモリエセルの内容が書き換えられる。次に書き換えたアドレスを含む1ライン分の表示データがいったいにラインバッファに読み出される。表示部においては表示アドレスがアドレスライン変換回路により表示アドレスは表示ラインに変換され、表示部の特定のラインが選択され、データ配線を介してサンプリングコンデンサの電圧を書き換えることにより1ライン分の表示を書き換える。図に示した例は表示の左上端部、右下端部、中央の画素を順次書き換えた場合である。各画素のアドレスが画像メモリに書き込まれ、該当する1ライン分のアドレスが選択されメモリ内容が、表示部のラインが選択されることにより表示内容をかきかえていることがわかる。

【0021】また、本表示装置に用いる液晶として反射表示モードで使えるPCGHならびにPDL C、ゲストホスト液晶などを用い、画素構成として、表示電極を散乱反射型の金属薄膜及び偏光フィルムをもちいて表示が可能である。この場合は、バックライトが不要なので装置の消費電力を大幅に低減可能である。

【0022】次に図8に示す第2の実施例について説明する。本実施例においては、表示ライン選択回路の入力にアドレスライン変換回路のほかにラインカウンタと表示ライン信号切り換え回路とラインバッファが付加されている。また、メモリライン選択回路の入力にはメモリライン信号切り換え回路が付加されている。

【0023】これらの新たに付加した回路は表示内容を固定して長時間経過した場合に、良好な表示を維持することができる。長時間書き換えが無いラインの画素は、画素内のサンプリングコンデンサの充電電圧が、サンプリングトランジスタのオフ抵抗を介してリークし、サンプリングトランジスタの敷居電圧を超えて変化した場合にデータが消失し、表示が変化してしまう。サンプリングコンデンサの容量が10 pF、サンプリングTF Tのリーク電流が1 pAで、コンデンサの充電電圧が1.5 Vの場合ではサンプリングコンデンサの充電電圧は1秒間に0.5 V ずつ電圧が低下する。1.5秒後には7.5 Vの低下が発生し、CMOS論理回路の敷居電圧である電源電圧の50%を超えてしまい、情報は「1」から「0」へと変化する。このため表示は白から黒へと変化し、表示内容が変化してしまう。そこで、サンプリング

コンデンサの充電電圧が閾値を超えて変化する前に再度表示情報を書き込むことにより表示を長時間維持することができる。約10秒に1回の書き換えにより発生する消費電力は、従来例のように1秒間に60回書き換える場合に比べると600分の1であり、非常に低消費電力にすることができる。

【0024】こうするためには、表示部の各表示ラインをラインカウンタにより順次選択し、これと同期して対応するメモリラインを選択し、1ライン分の表示データをラインバッファ、データ配線を介してサンプリングコンデンサに書き込むことにより実現できる。このとき、外部からの書き込み信号が入力された場合には制御回路によりラインカウンタを一時停止し、その期間にアドレス信号により画像メモリを書き換え、メモリラインを選択し、該当するラインの表示データを取り出し、アドレスライン変換回路の出力により表示ラインとメモリラインを表示させ、その後ラインカウンタによる再書き込み動作を行うことにより表示の即時変更と、長時間の表示内容の維持とを両立することができる。このとき、メモリライン信号切り換え回路802および表示ライン切り換え回路801は、アナログスイッチ回路を用いた2入力から1出力の選択スイッチにより構成できる。また、外部からの表示書き換え指示が1ラインごとの表示書き換え時間よりも頻繁に多数連続して入力された場合には画像メモリのみを高速に逐次書き換え、表示部の書き換えは、ラインアドレス変換回路と表示ライン切り換え回路801のあいだにFIFO型のラインバッファを設けることにより、表示内容を正しく変化させることができる。また、TF T回路基板601上に最小限の構成をTF T回路により形成した場合には、画像メモリから出力するライン分の表示データが多数の配線が必要であるので、ラインバッファの後に配置する図中のP-S変換回路として並列直列変換の回路を用いることにより、TF T画像メモリとTF T回路基板との接続点数を大幅に削減することができる。TF T基板上には図中S-P変換回路と示す直列並列変換回路を形成し表示部を駆動するために必要な、1ライン分のデータ配線に展開することにより駆動することができる。

【0025】この実施例の回路の動作について図9を用いて説明する。表示内容を変更する場合は、ラインカウンタは動作を停止しており、実施例1と同様に外部からの入力信号により表示を変更している。その後、外部入力が無い場合にはラインカウンタが順次インクリメントしており、カウンタ出力に対応するライン番号の表示が画像メモリから繰り返し書き込まれており、長時間の表示が維持される。

【0026】また、本実施例において、表示密度が高くなるに連れ、表示部と表示ライン選択回路、ラインバッファ間の接続ピッチは細くなるためこれらの回路をTF T基板上に一括して形成することにより高精細化して

10

20

30

40

50

も製造しやすい。しかしながら、画像メモリなどの回路部分については表示容量が増えると著しく回路規模が増大する。このためTFT基板上に形成することが困難であり、むしろLSIを用いて回路を形成し、TFT基板と接続して表示装置を形成することによりもっとも製造しやすい形態となる、この場合は、データ配線と画像メモリ間の配線本数が多くなり接続が困難になる。そこで、ラインバッファと表示データバッファ間に複数の中継配線を設け、ラインバッファと中継配線間、中継配線とデータ配線間に互いに同期して接続する切り換えスイッチを設けたP-S変換回路およびS-P変換回路により時分割切り換え方式にてデータを転送することによりデータ配線と画像メモリ間のデータ転送を行うことにより両者の接続本数を減らすことができるので高精細化に対応できる。

【0027】図10は第2に実施例の液晶表示装置の外観図である。表示部603と表示ライン選択回路604、ラインバッファ605をTFT回路基板601上に形成し、画像メモリ回路などの周辺回路は画像メモリLSI1001として周辺回路基板1002上に実装し、TFT基板とは中継配線803にて接続している。中継配線はフレキシブルプリント基板を用いて、形成し、TFT基板及び周辺回路基板とはアニソルムにより接続すればよい。

【0028】

【発明の効果】本発明による液晶表示装置は、著しく消費電力を低減可能である特徴がある。また、表示に本実施例に記載のノートPCのみでなく、他のポータブルな情報処理装置の小型化、軽量化、電池寿命向上に効果がある。

【図面の簡単な説明】

30

【図1】本発明の概略構成図である。

【図2】従来技術による液晶表示装置構成図である。

【図3】第1の実施例による表示装置のブロック図である。

【図4】画素部TFT回路構成である。

【図5】画素部TFT回路構成である。

【図6】表示装置外観図である。

【図7】回路動作説明図である。

【図8】第2の実施例による表示装置のブロック図である。

【図9】回路動作説明図である。

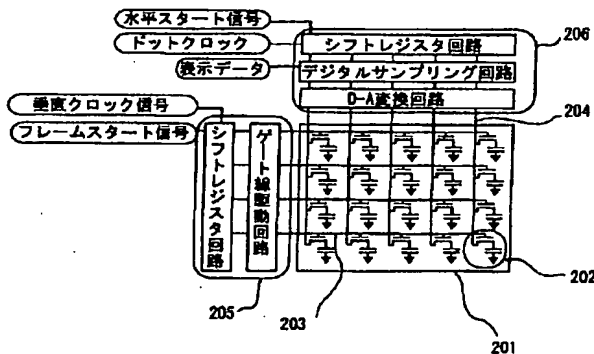
【図10】表示装置外観図である。

【符号の説明】

101、201、603…表示部、102…画素部、103…電圧メモリ、202…画素、203…ゲート配線、204、402…信号配線、205…ゲート側駆動回路、206…信号側駆動回路、301…選択信号、302…表示ライン選択信号、401…ライン選択配線、403…液晶基準配線、404…共通配線、405…サンプリングTFT、406、503、507…サンプリングコンデンサ、407…表示制御TFT、408…表示電極、409…補償コンデンサ、501、505…データ配線、502、506…メモリ回路、504…アナログスイッチ、601…TFT回路基板、602…対向基板、604…表示ライン選択回路、605…ラインバッファ、606…画像メモリ回路、607…制御回路、801…表示ライン切り換え回路、802…メモリライン切り換え回路、803…中継配線、1001…画像メモリLSI、1002…周辺回路基板。

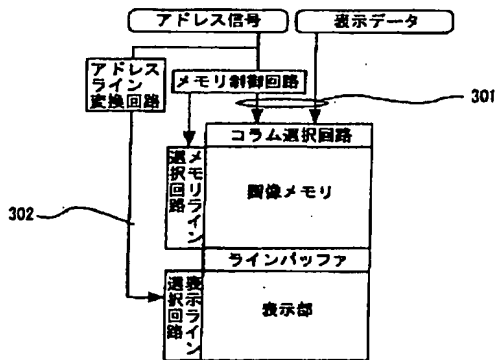
【図2】

図 2



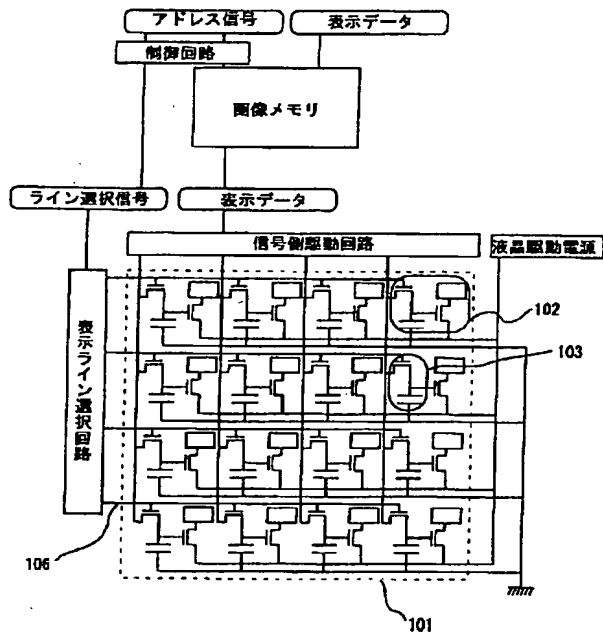
【図3】

図 3



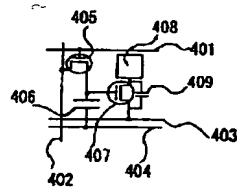
【図 1】

図 1



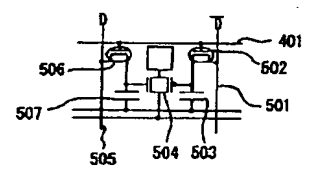
【図 4】

図 4



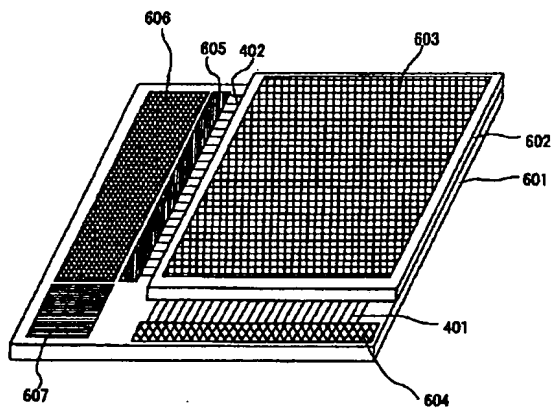
【図 5】

図 5



【図 6】

図 6



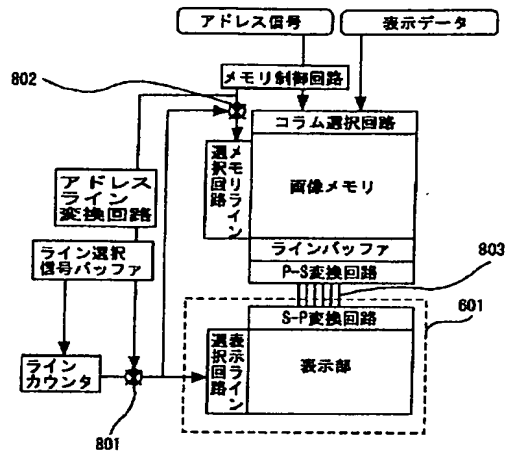
【図 7】

図 7

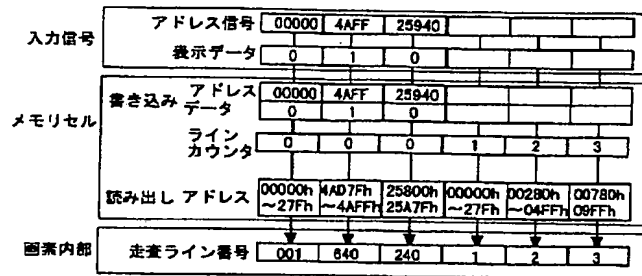
入力信号	アドレス信号	00000	4AFF	25940
	表示データ	0	1	0
メモリセル	書き込み アドレス	00000	4AFF	25940
	データ	0	1	0
図素内部	読み出し アドレス	00000h ~ 27Fh	4A07Fh ~ 4AFFh	25800h ~ 25A7Fh
	ライン番号	001	640	240

【図 8】

図 8

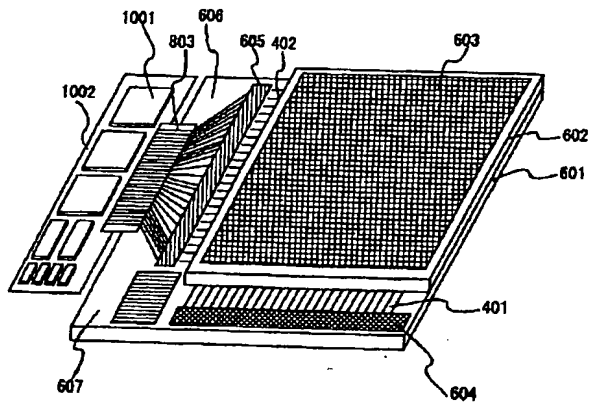


【図 9】



【図 10】

図 10



フロントページの続き

Fターム(参考) 2H092 GA49 GA51 GA59 JA24 JB13  
 JB43 KA04 KA07 NA01 NA25  
 NA26 PA06 QA07  
 2H093 NA16 NA20 NA21 NA42 NC13  
 NC15 NC16 NC22 NC23 NC25  
 NC26 NC28 NC34 NC90 ND10  
 ND15 ND39 ND58 NE10 NF05  
 5C006 AF42 BA01 BB16 BB28 BC20  
 BF02 BF05 BF11 BF22 BF24  
 BF37 EC08 FA42 FA47